

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭60-63948

⑪ Int. Cl.⁴

H 01 L 21/82
27/08
29/78

識別記号

1 0 2

庁内整理番号

6655-5F
6655-5F
8422-5F

⑬ 公開 昭和60年(1985)4月12日

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 ゲートアレイ大規模集積回路装置

⑮ 特 願 昭58-171686

⑯ 出 願 昭58(1983)9月17日

⑰ 発 明 者	高 山	良 久	川崎市中原区上小田中1015番地	富士通株式会社内
⑰ 発 明 者	田 辺	智 明	川崎市中原区上小田中1015番地	富士通株式会社内
⑰ 発 明 者	藤 井	滋	川崎市中原区上小田中1015番地	富士通株式会社内
⑰ 出 願 人	富 士 通 株 式 会 社		川崎市中原区上小田中1015番地	
⑰ 代 理 人	弁 理 士 青 柳 稔			

明 細 書

1. 発明の名称

ゲートアレイ大規模集積回路装置

2. 特許請求の範囲

短冊状のセルアレイを複数列備えるゲートアレイ大規模集積回路装置において、

該セルアレイを、セルアレイの幅方向に延び長さ方向に多数並設される、PチャネルMOSトランジスタとNチャネルMOSトランジスタに共通なゲート電極と、

該セルアレイの全長に亘って延び、PチャネルMOSトランジスタのソース、ドレイン領域となるP型拡散層及びNチャネルMOSトランジスタのソース、ドレインとなるN型拡散層とで構成してなることを特徴とする、ゲートアレイ大規模集積回路。

3. 発明の詳細な説明

発明の技術分野

本発明は、集積度を一層向上させたMOSゲートアレイ大規模集積回路装置に関する。

従来技術と問題点

Nチャネル、及びPチャネルMOS FETで構成されるCMOS論理ゲート、またはエンハンスメント及びデプレッションMOS FETで構成されるE/D型論理ゲートを基本単位としたMOSゲートアレイLSIでは、ベースセルと呼ばれる論理ゲートがアレイ状に配置されている。第1図で説明すると同図(向)において10は半導体基板(チップ)で、中央部に短冊状のセルアレイ12が多数並び、周辺部に1/0ゲート14が設けられる。いずれも拡散などは済んでいるが未配線で(ゲートアレイの特徴)、配線は回路が決定した段階で行なう。同図(向)で16がベースセルで、アレイ12にはかかるセルがアレイ長手方向に多数並び。ベースセル16はゲート18、20、ソースまたはドレインとなるP型拡散層、22、24、26、及びN型拡散層28、30、32を備え、22と18と24、24と20と26が2つの直列接続されたPチャネルMOS FETを、また28と18と30、30と20と3

2が2つの直列接続されたNチャネルMOS FETを構成する。一例としてこれらの領域22と26に電圧 V_{DD} を、28に電源 V_{SS} を加え、領域24と32を接続してこれを出力端とすると第1図(a)に示す如くなり、2入力A, Bに対するナンド論理を出力Xに得る。接続を左, 右逆にするとノアゲートを構成できる。

かかる基本セルを備えるゲートアレイは広く使用されているが、基本セル16間の絶縁はフィールド酸化膜などの絶縁層により行っており、該絶縁層の介在が集積度を低下させている。

発明の目的

本発明はかかる点を改善し、ゲートアレイの一層の集積度向上を図ろうとするものである。

発明の構成

本発明は短冊状のセルアレイを複数列備えるゲートアレイ大規模集積回路装置において、該セルアレイを、セルアレイの幅方向に延び長さ方向に多数並設される、PチャネルMOSトランジスタとNチャネルMOSトランジスタに共通なゲート電

極と、該セルアレイの全長に亘って延び、PチャネルMOSトランジスタのソース、ドレイン領域となるP型拡散層及びNチャネルMOSトランジスタのソース、ドレインとなるN型拡散層とで構成してなることを特徴とするが、次に実施例を参照しながら、これを詳細に説明する。

発明の実施例

第2図は本発明の実施例を示す。この第2図は第1図(a)に対応するもので、セルアレイ12の構成を示している。第1図(a)と対比すれば明らかなように第2図ではPチャネルMOS FETのソース・ドレインとなる拡散層42、およびNチャネルMOS FETのソース・ドレインとなる拡散層44が全セルを通して連続している。従って第1図(a)の個々に分離された基本セル16に相当するものはなく、アレイ12の全長に延びる1つのセルになっている。52, 54, 56, ……はゲート電極でP, NチャネルMOS FETに共通な点は第1図(a)と同じである。このベーシックセルアレイ12はゲート電極52, 54, ……を構

成したのち拡散してP, N型ソースドレイン領域42, 44を作るので、これらの領域42, 44は詳しくはゲート電極下で切れており、この部分がFETのチャネルになる。

第2図のセルアレイ12の等価回路は第4図の如くなり、Pチャネル、NチャネルFET61, 62, ……71, 72, ……が多数直列接続され、多数の入力A, B, ……を持つ。所望回路はこれらの一部を切取って構成する。即ちソース、ドレイン拡散層はゲート電極直下のチャネル部で切れているからこれを利用して、或いは積極的にゲート電極に電圧を加えて当該ゲートをオフにすることにより長いベーシックセルアレイの必要部分のみ使用することができる。第4図では端子82を V_{DD} へ、端子81は端子91へ、そして端子92を V_{SS} へ接続して、端子Aを入力端、端子81, 91を出力端とするCMOSインバータを構成し、また端子84を V_{DD} へ、端子83を94へ接続して、Pチャネルトランジスタ Q_1 と Q_2 を並列にしてその一端を V_{DD} へ、他端を直列なNチャネル

トランジスタ Q_3 , Q_4 の一端94へ接続し、その他端92は V_{SS} へ接続した2入力(B, C)ナンドゲートを構成し、以下同様にして各種論理ゲートを構成している。次の論理ゲートと V_{SS} などを共用できれば(端子92は共用している)共用し、共用できなければオフのトランジスタ1個を増やして分離する。トランジスタ Q_3 は分離用のトランジスタで、ゲートにはL(ロー)レベルの電圧を加え、該トランジスタ Q_3 をオフにする。このときPチャネルトランジスタ Q_1 はオンになるが、そのソース、ドレイン84, 85を共に V_{DD} にすればやはり実効的にオフと同様にすることができる。

第3図はベーシックセルアレイの2ゲート部分を用いて2入力ナンドゲートNGを構成した例を示し、これは前述の $Q_1 \sim Q_4$ と同様である。このゲートの構成には V_{DD} , V_{SS} 配線と出力部の配線46を施すだけでよい。

第5図～第7図は従来方式のゲートアレイと本発明方式のゲートアレイで論理ゲートを構成した

場合の相違を示す説明図、(a)は第1図の従来方式、(b)は本発明方式を示す。(c)は(a)(b)の等価回路を示す。(a)(b)ともグリッド配線方式を採用しており、ドットはグリッドの各交点を示す。配線は、ドット上を通る縦線と横線で行なわれる。第5図はインバータで、従来方式(a)ならベーシックセルアレイの長さ方向に5グリッドを要するが、本発明方式(b)なら4グリッドでよい。アレイ方向で次のセルにも同様なインバータを形成する場合(ケースAとする)は端部の1グリッドを共用できるので従来方式は4グリッド、本発明方式は3グリッドとなる。第6図のナンドゲートの場合もケースAの従来方式(a)なら4グリッド、本発明方式(b)なら3グリッド、第7図のダブルインバータ(パワー用)でケースAの従来方式(a)なら4グリッド、本発明方式(b)なら2グリッドとなる。いずれも本発明の方が所要スペースを節減できる。

本発明方式は、従来方式のように絶縁領域で個々に分離したベーシックセルを多数並べるのではなく、アレイ全体を1つのセルとするので絶縁領

域がベーシックセル毎に介入する無駄がなく、また従来方式のベーシックセルは4トランジスタ単位であるから1~4トランジスタが必要な場合は1ベーシックセルを使用しなければならず、使用しないトランジスタが生じる無駄がでるが、本発明方式では2トランジスタ単位であるから上記無駄を減少できる。従って本発明は3入力ゲートなど奇数、多入力ゲートに有利である。

ゲートはP、Nチャネルトランジスタに共通にせず個々に分離することも考えられるが、CMOSゲートはP、Nチャネルトランジスタの各ゲートを相互に接続するのが普通であるから、上記のようにするとゲート接続のためのスペースが必要になり、集積度が下る。従ってP、NチャネルMOSFETを並列接続してなるアナログゲートのような特殊なものを除いて、広く使用されるナンド、ノアゲートなどに対してはゲート共通の方が有利である。

発明の効果

以上説明したように本発明によればMOSゲート

アレイの集積度、及びゲート構成能力を一層向上させることができ、甚だ有効である。

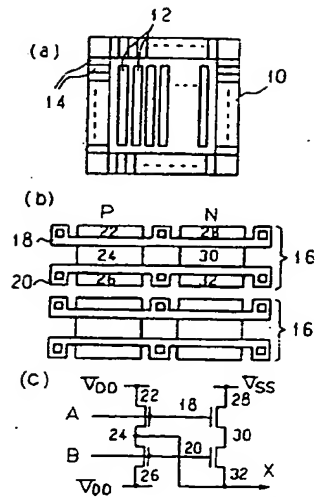
4. 図面の簡単な説明

第1図は従来のゲートアレイの説明図、第2図は本発明のゲートアレイの実施例を示す説明図、第3図および第4図は第2図のゲートアレイでのゲート構成要領を示す概略平面図及び回路図、第5図~第7図は本発明方式と従来方式のゲート構成要領の対比説明図である。

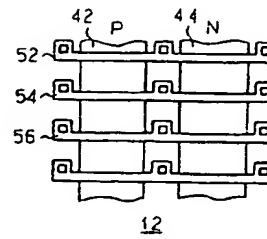
図面で、12はセルアレイ、52、54、……はゲート電極、42はP型拡散層、44はN型拡散層である。

出願人 富士通株式会社
代理人 弁理士 青柳 稔

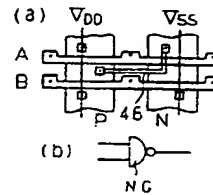
第 1 図



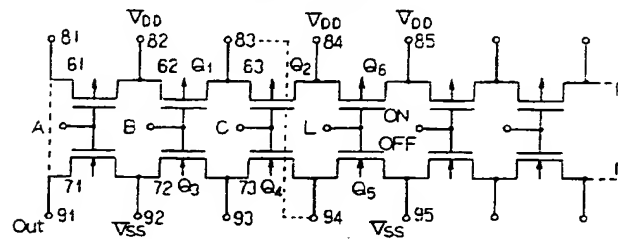
第 2 図



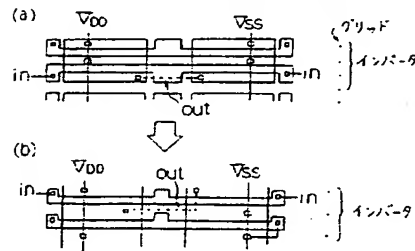
第 3 図



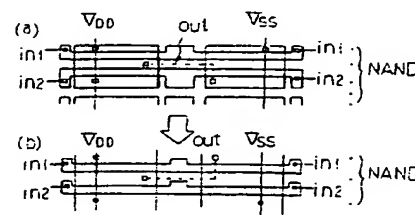
第 4 図



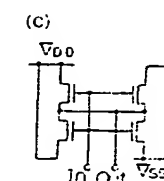
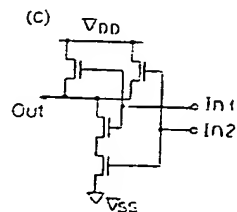
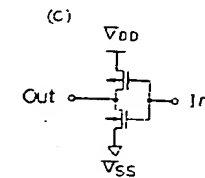
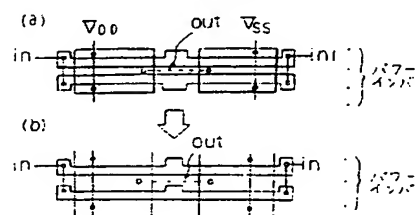
第 5 図



第 6 図



第 7 図



* EP00001EP0

PN - JP60063948 A 19850412
PD - 1985-04-12
PR - JP19830171686 19830917
OPD - 1983-09-17
TI - GATE ARRAY LSI DEVICE
IN - TAKAYAMA YOSHIHISA; TANABE TOMOAKI; FUJII SHIGERU
PA - FUJITSU LTD
EC - H01L27/118G4
IC - H01L27/08 ; H01L29/73

* WPI/DEF/VENT

TI - MOS gate array LSI circuit device - having gate electrode common to p-channel and N-channel transistors, and p-type and n-type diffusion layers NoAbstract Dwg 1-3/7
PR - JP19830171686 19830917
PN - JP60063948 A 19850412 DW198521 004pp
PA - (FUJIT) FUJITSU LTD
IC - H01L21/82 ; H01L27/08 ; H01L29/78
OPD - 1983-09-17
AN - 1985-125655 [21]

* PAJ . EP

PN - JP60063948 A 19850412
PD - 1985-04-12
AP - JP19830171686 19830917
IN - TAKAYAMA YOSHIHISA; others:02
PA - FUJITSU KK
TI - GATE ARRAY LSI DEVICE
AB - PURPOSE:To contrive to improve the integration degree of the MOS gate array and the improvement of the ability to construct the gate by a method wherein the array of cells is composed of a gate electrode common to a P-channel MOS transistor and an N-channel MOS transistor, a P type diffused layer serving as a drain region, and an N type diffused layer serving as a drain.
- CONSTITUTION:The c fused layer42 serving as the source and drain of the P- channel MOSFET and the diffused layer 44 serving as the N-channel MOSFET are continuous through all cells. Therefore, no cell corresponds to the basic cell 16 isolated individually, but the cell is formed into one cell extending over the

full length of the array 12. Since this basic array 12 form the P type and N type source and drain regions 42 and 44 by diffusion after constructing the gate electrodes 52, 54,..., these regions 42 and 44 are cut under the gate electrodes, and these parts become the channels of an FET.

I - H01L21/82 ;H01L27/08 ;H01L29/78